

日期：109年12月7日  
便簽 單位：研究發展處

速別：普通件

密等及解密條件或保密期限：

- 一、文陳閱後，公告於電子公佈欄、本組、本處及本校最新消息，並e-mail副知全校教師知照。
- 二、文存。

裝

會辦單位：

第二層決行		
承辦單位	會辦單位	決行
行政組 張明芬 1207 1019		代為決行
教授兼組長 李思禹 1207 1533		如擬
專員 邱佳慧 1207 1706 代		教授兼研究發展處長 周濟眾 1207 1706

訂

線



檔 號：

保存年限：

## 科技 部 函

機關地址：臺北市和平東路二段106號  
聯絡人：文端儀 助理研究員  
電話：02-2737-7940  
電子信箱：dywen@most.gov.tw

受文者：國立中興大學

發文日期：中華民國109年12月4日

發文字號：科部工字第1090072709號

速別：普通件

密等及解密條件或保密期限：

附件：計畫徵求公告【附件一(B)】(附件1 109E0P000216\_109D2031149-01.odt)

主旨：更正本部110年度「學研中心」專案計畫徵求公告附件一(B)「先進科技先期研究」項目，請查照辦理。

說明：

- 一、旨揭專案計畫業於109年10月23日以科部工字第1090064464號函公告受理申請。
- 二、原公告附件一(B)「先進科技先期研究」項目為四項，更正為七項如下，詳見附件。
  - (一)高能量密度/長儲能循環次數電池系統技術。
  - (二)雷達開放式系統架構共通模組之CMOS技術。
  - (三)高逼真度數據驅動工程設計創新技術平台開發。
  - (四)高安全性高效能多核心CPU與AI加速器系統晶片設計及研製。
  - (五)水下無人載具(AUV及ROV)/水面無人艇(USV)自主巡航及偵、獵雷先進科技發展。
  - (六)寬頻立體化天線之高分子電子材料製程與設計。
  - (七)自訂。
- 三、所提計畫研究內容至少包含其中1項「先進科技先期研究」(如附件一(B)項目一~六)，並應再自訂至少1項與中心領域相關國防科技研究技術。

正本：專題研究計畫受補助單位 (共307單位)



裝

訂

線



副本：國防部、本部綜合規劃司、工程司

109/12/07  
08:16:12

部長吳政忠

裝



訂

線



## 科技部 110 年度「學研中心專案計畫」

### B. 先進科技先期研究：

#### 一、高能量密度/長儲能循環次數電池系統技術

說明：開發一種擁有極高理論能量密度的次世代電池系統，提高續航力及安全性，初期將針對鋰空氣電池系統技術開發，聚焦於：(1)鋰金屬-電解質界面性質探討、(2)多孔性雙效空氣極觸媒研究。

主要研究內容包括：

1. 電池系統反應機制及材料結構模擬分析。
2. 電池材料開發。
3. 電池組裝技術開發。
4. 電池系統驗證測試技術開發。

本案完成後，由國防部需求單位將所開發的材料結合業界組裝技術共同完成全電池系統設計，開發具有高能量密度(>700Wh/kg)高安全性電池系統雛型，實際於無人機或儲能系統進行測試，評估其效益與性能。

#### 二、雷達開放式系統架構共通模組之 CMOS 技術

說明：先進雷達系統以 SWaP-C (Reduced Size, Weight, and Power Consumption- CostReduction) 「輕、薄、短小」為開發導向，以達到低功耗、低成本與高整合的研製目標，並提升 ADC/DAC 達到世界級的效能；以超穎結構(Metamaterial)技術滿足集成模組進行縮裝微型晶片化/板件縮小化的需要，本計畫區分為「多通道低功耗 14 位元之 10G AD/DA 整合型晶片研製」與「超穎結構之 CMOS 射頻元組件研製」兩項關鍵技術：

1. 針對四通道低功耗 14 位元之 10G AD/DA 整合型晶片進行研製並獲得開發設計等技術能量低功耗(Low-power)、極超高速處理能力(High-speed)、高解析度(High-resolution)、高整合度(High-integration)、低損耗 IC 封裝(Low-loss IC package)等五大主軸。其相關特性參數需求將以先進高階矽基底積體電路製程實現並加入 IC 封裝設計完成研製，最後再以 IC 開發板(EVB)進行實務量測驗證。

2. 建立 CMOS 積體電路與射頻電路板超穎結構電磁模擬、設計與製作技術，使用超穎結構可提升等效介電係數，進而降低被動元件尺寸。相關特性分別實現於 CMOS 積體電路與射頻電路板。

本案擬建立低功耗超高速且具有高解析度之類比數位/數位類比轉換器電路整合晶片的技術能量，滿足中高階的數位/類比訊號轉換需求；建立超

穎結構之基礎特性研究，包含數學模型建立及其模擬軟體開發，代入 CMOS 製程參數進行模擬及優化處理，其基本特性預計可用於被動元件之縮小化、訊號間隔離度提昇以達干擾防抑制作用，進而推展毫米波積體電路系統化之設計與開發能力。



### 三、高逼真度數據驅動工程設計創新技術平台開發

說明：建立數據驅動工程設計創新技術平台為主要目的，以吸氣式推進系統作為開發標的，導入最新的數據科技(包含高仿真技術、人工智慧及先進統計方法)，使工程設計擺脫利用試誤法取得設計經驗及知識的方法，降低驗證實驗次數，提高整合設計的準確率，讓初始設計出的產品接近最終設計型態，研究議題包含：

1. 設計工具開發：數值流體力學模擬工具整合及開發、燃燒模擬工具整合及開發、熱傳及結構模擬工具建立、控制系統模擬工具開發及驗證等。
2. 實驗驗證平台建立：進氣道試驗能量、噴霧燃燒試驗能量、引擎燃燒室試驗能量、渦輪葉片氣動力與熱傳實驗能量、渦輪機動力實驗能量、壓縮葉片氣動力實驗能量、壓縮器轉子動力實驗能量。
3. 組件測試與模擬工具驗證：進氣道組件、噴霧燃燒組件、燃燒室組件、渦輪葉片組件、渦輪機測試件、壓縮葉片組件、壓縮機測試件等項目設計、製作、實驗量測與驗證。
4. 設計方法發展：流場模擬數據庫、燃燒模擬數據庫、渦輪葉片設計數據知識庫、壓縮器葉片設計數據知識庫、控制模型設計庫等
5. 系統整合設計技術發展：以吸氣式引擎作為應用案例，進行系統整合設計技術開發，利用數據驅動設計平台，整合不同工程領域之設計方法，配合設計流程技術開發，透過高仿真模擬系統，進行多維度的系統整合分析與設計。

本案將建立國防部需求單位所需之重要工程設計方法與數據資料，透過本案建立的各項基礎試驗測試能量，驗證設計平台的效能。初步以吸氣式引擎作為研發標的，成果將運用於推進系統開發。

### 四、高安全性高效能多核心 CPU 與 AI 加速器系統晶片設計及研製

說明：建立系統晶片(System on Chip, SoC)自主設計開發能量。同時，將人工智慧(AI)與資安應用於各項裝備，將 AI 加速器整合至晶片中，將系統智能化，並減少模組功耗與設備的重量與空間，研究議題包括：

1. 32/64 位元 CPU 研製
2. 硬體安全性及安全指令研製
3. AI 硬體加速器(Deep Learning Accelerator, DLA)研製

4. SoC 系統晶片設計、製作與測試

5. 功能板設計、測試及驗證等

本案開發研製之系統晶片，可應用於各式各樣的系統中，同時具備 AI(人工智慧)硬體加速功能及具備安全防護管控機制功能。

## 五、水下無人載具(AUV 及 ROV) /水面無人艇(USV)自主巡航及偵、獵雷先進科技發展



本計畫將開發前瞻科技關鍵技術，整合水面及水下無人載具，應用在偵、掃、獵雷與敵我辨識，計畫目的如下：

1. 搭載及運作各式任務載具：

(1)開發一部須人員操控之水面無人艇，掛載與整合相關任務模組，並可長時間於一個海域執行指定的任務。

(2)利用 AI 人工智慧控制技術整合水面與水下各式感測器，並可即時控制與通訊。

2. 威脅物件(雷體)清除：透過自主式水下載具(AUV/ROV)執行各式水雷(繫留雷、漂浮雷、沉底雷)反制及清除。

3. 敵我辨識：開發聲納/磁性技術，感測移動目標並以 AI 人工智慧主動辨識訊號。

4. 水文資料蒐集：利用水面無人艇(USV)控制(AUV/ROV)，進行水下情資探測與即時回傳，建構水下 3D 圖資，並蒐集、紀錄水下資訊，以利海疆防衛、巡曳及偵查任務遂行。

## 六、寬頻立體化天線之高分子電子材料製程與設計

說明：天線元件具有各類通訊與雷達之預警、搜索、追蹤、控制、導引等功能，為因應各種載具整體空間尺寸、氣動力或匿蹤等因素，需要共形(Conformal)設計的天線；為能節省天線的數量與提升性能，需要應用更廣泛的寬頻立體化天線。最新一代使用的立體化天線頻寬為 0.8 GHz 至 18 GHz，研究議題包含：

1. 低介電材料合成與基材成形開發

2. 線路定義製程開發

3. 立體化寬頻天線之線路設計、測試與驗證整合等項目。

## 七、自訂

說明：與國防科技相關技術發展主題。